

DIALOG(R)File 352:Derwent WPI

(c) 2003 Thomson Derwent. All rts. reserv.

014040650 **Image available**

WPI Acc No: 2001-524863/200158

XRAM Acc No: C01-156782

XRPX Acc No: N01-389038

Semiconductor device manufacture involves forming sacrificial oxidation film on exposed surface of semiconductor substrate for removing portion of element separation insulating film protruding from substrate surface

Patent Assignee: SONY CORP (SONY)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2001077191	A	20010323	JP 99251098	A	19990906	200158 B

Priority Applications (No Type Date): JP 99251098 A 19990906

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 2001077191	A		4 H01L-021/76	

Abstract (Basic): JP 2001077191 A

NOVELTY - An element separation insulating film (17) is embedded in a groove (14) of a semiconductor substrate (11). The insulating film that is lying on the substrate during embedding process, is removed. A sacrificial oxidation film (18) is formed on exposed substrate surface in order to remove portion of insulating film protruding from substrate surface.

USE - The method is used for manufacturing a semiconductor device.

ADVANTAGE - Since pad oxide film and sacrificial oxide film are formed on substrate in order to remove insulating film other than groove, the falling of edge portion of insulating film on substrate is restrained. Hence gate insulating film satisfactorily covers the substrate, narrow channel effect of transistor is restrained and electrical property is stabilized.

DESCRIPTION OF DRAWING(S) - The figure is a sectional view showing manufacturing process of semiconductor device. (Drawing includes non-English language text).

Semiconductor substrate (11)

Groove (14)

Element separation insulating film (17)

Sacrificial oxidation film (18)

pp; 4 DwgNo 1/2

Title Terms: SEMICONDUCTOR; DEVICE; MANUFACTURE; FORMING; SACRIFICIAL;

OXIDATION; FILM; EXPOSE; SURFACE; SEMICONDUCTOR; SUBSTRATE; REMOVE;

PORTION; ELEMENT; SEPARATE; INSULATE; FILM; PROTRUDE; SUBSTRATE; SURFACE

Derwent Class: L03; U11

International Patent Class (Main): H01L-021/76

International Patent Class (Additional): H01L-021/762

File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO
(c) 2003 JPO & JAPIO. All rts. reserv.

06849691 **Image available**
MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO.: 2001-077191 [JP 2001077191 A]
PUBLISHED: March 23, 2001 (20010323)
INVENTOR(s): YAMAZAKI TAKESHI
APPLICANT(s): SONY CORP
APPL. NO.: 11-251098 [JP 99251098]
FILED: September 06, 1999 (19990906)
INTL CLASS: H01L-021/76; H01L-021/762

ABSTRACT

PROBLEM TO BE SOLVED: To provide a trench element isolation technique which can suppress kinks (hums) or reverse short channel effect and improve the electrical characteristics of a transistor by eliminating the so-called edge drop of a trench element isolation insulating film.

SOLUTION: The method includes the steps of forming a groove 14 in a semiconductor substrate 11, forming an inner wall oxide film 16 on the inner face of the groove 14 and on a part of the substrate on the opening side of the groove 14, forming an element isolation insulating film 17 to be embedded in the interior of the groove 14, removing an excess film 17 to selectively leave the film 17 within the groove 14, and removing the oxide films (pad oxide film 12 and sacrificial oxide film 18) formed on the substrate 11 to expose the surface of the substrate 11. The oxide films, having an inner wall oxide film 16 formed on the substrate 11, are removed to form a thick film left.

COPYRIGHT: (C) 2001, JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-77191
(P2001-77191A)

(43) 公開日 平成13年3月23日 (2001.3.23)

(51) Int.Cl.⁷

H 0 1 L 21/76
21/762

識別記号

F I

H 0 1 L 21/76

ターミナル* (参考)

L 5 F 0 3 2
D

審査請求 未請求 請求項の数 2 O L (全 4 頁)

(21) 出願番号 特願平11-251098

(22) 出願日 平成11年9月6日 (1999.9.6)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 山崎 武

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(74) 代理人 100086298

弁理士 船橋 國則

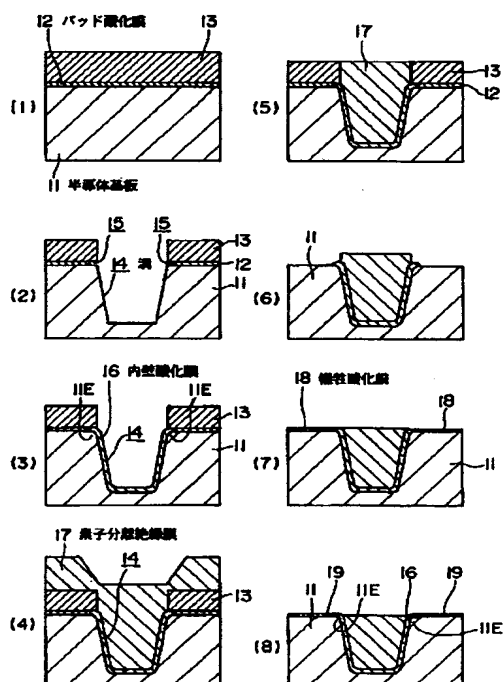
Fターム (参考) 5F032 AA34 AA36 AA44 AA45 AA77
DA24 DA27 DA28 DA53

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 トレンチ素子分離絶縁膜のいわゆるエッジ部分の落ち込みを無くすことで、Kink (Hump) や逆狭チャネル効果を抑制してトランジスタの電気的特性の向上を可能としたトレンチ素子分離技術を提案する。

【解決手段】 半導体基板11に溝14を形成する工程と、溝14の内面と溝14の開口側部の半導体基板に内壁酸化膜16を形成する工程と、溝14の内部を埋め込む素子分離絶縁膜17を形成する工程と、余分な素子分離絶縁膜17を除去して溝14の内部に素子分離絶縁膜17を選択的に残す工程と、半導体基板11上に形成した酸化膜 (パッド酸化膜12、犠牲酸化膜18) を除去して半導体基板11の表面を露出させる工程とを備え、内壁酸化膜16を半導体基板11上に形成した酸化膜を除去した後に残る状態の膜厚に形成することを特徴としている。



【特許請求の範囲】

【請求項1】 半導体基板に溝を形成する工程と、前記溝の内面および前記溝の開口側部の前記半導体基板を選択的に酸化して内壁酸化膜を形成する工程と、前記溝の内部を埋め込むように素子分離絶縁膜を形成する工程と、前記半導体基板上に形成された余分な前記素子分離絶縁膜を除去して前記溝の内部に前記素子分離絶縁膜を選択的に残す工程と、前記半導体基板上に形成した酸化膜を除去して前記半導体基板表面を露出させる工程とを備え、前記内壁酸化膜は、前記半導体基板上に形成した酸化膜を除去した後に残る状態の膜厚に形成されることを特徴とする半導体装置の製造方法。

【請求項2】 前記半導体基板表面を露出させた後、前記溝の開口側部に形成された前記内壁酸化膜の一部を残した状態で前記半導体基板表面にゲート絶縁膜を形成する工程を備えたことを特徴とする請求項1記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、詳しくはSTI (Shallow Trench Isolation) を製造する工程を備えた半導体装置の製造方法に関する。

【0002】

【従来の技術】従来のSTI技術を図2の製造工程図によって説明する。図2の(1)に示すように、シリコン基板111の表面にパッド酸化膜112を10nm～20nmの厚さに形成する。さらにCVD法によって、シリコン窒化膜113を150nm～200nmの厚さに形成する。

【0003】その後、図2の(2)に示すように、通常のレジスト塗布技術によりレジスト膜を形成した後、リソグラフィー技術によりレジスト膜を加工してアクティブパターン(図示せず)を形成し、それをマスクにしてシリコン窒化膜113、パッド酸化膜112をエッチングする。その後、上記アクティブパターンを除去する。次いでシリコン窒化膜113をマスクにしてシリコン基板111を300nm～400nmの深さにエッチングし、溝114を形成する。

【0004】次いで、図2の(3)に示すように、熱酸化法によって、溝114の内面を酸化し、熱酸化膜115を形成する。次に、図2の(4)に示すように、高密度プラズマCVD法によって、溝114の内部を埋め込むようにシリコン窒化膜113上にシリコン酸化膜116を形成する。その後、図2の(5)に示すように、化学的機械研磨を行って、上記シリコン酸化膜116を研磨してその表面を平坦化する。

【0005】次いで、熱リン酸を用いたウエットエッチ

ングによって、上記シリコン窒化膜113を除去し、図2の(6)に示すように、パッド酸化膜112が露出する状態にする。次いでフッ酸によるウエットエッチングによって、パッド酸化膜112をエッチング除去する。このとき、図2の(7)に示すように、溝114に埋め込んだシリコン酸化膜116もエッチングされる。特にシリコン酸化膜116のエッジ部分117がエッチングされやすいため大きく後退する。その後、シリコン基板111の表面に犠牲酸化膜118を形成する。そしてフッ酸によるウエットエッチングによって、犠牲酸化膜118をエッチング除去する。このとき、図2の(8)に示すように、シリコン酸化膜116もエッチングされ、特にシリコン酸化膜116のエッジ部分117はさらに後退する。その後、シリコン基板111の表面にゲート酸化膜119を形成する。

【0006】

【発明が解決しようとする課題】しかしながら、上記従来の技術によるトレンチ(溝)素子分離の製造方法では、STIとなる溝に埋め込んだシリコン酸化膜のエッジ部分が大きく後退し、シリコン基板の表面よりも低く大きく落ち込む。そのため、ゲート加工が困難になる、Kink (Hump) や逆狭チャネル効果が生じ、トランジスタの電気的特性を著しく劣化させることになる。このことは、(Andres Bryant et.al., IEEE Electron Dev. (1993)、A.H.Perea et.al., IEDM Tech. Digest., p679(1995)等)に開示されている。

【0007】上記問題は、B.H.Roh, et.al., SSDM(1995)に開示されている溝形状を2段階にエッチングする方法や、KIKUYO OJE et.al., IEEE Transaction on Electron Device (1998)に開示されている溝の側壁にイオン注入する方法等によって解決が試みられているが、いずれの方法も製造工程が複雑になるという問題を有している。

【0008】

【課題を解決するための手段】本発明は、上記課題を解決するためになされた半導体装置の製造方法であって、半導体基板に溝を形成する工程と、その溝の内面および溝の開口側部の半導体基板を選択的に酸化して内壁酸化膜を形成する工程と、溝の内部を埋め込むように素子分離絶縁膜を形成する工程と、半導体基板上に形成された余分な素子分離絶縁膜を除去して溝の内部に素子分離絶縁膜を選択的に残す工程と、半導体基板上に形成した酸化膜を除去して半導体基板表面を露出させる工程とを備え、内壁酸化膜は、半導体基板上に形成した酸化膜を除去した後に残る状態の膜厚に形成されていることを特徴としている。

【0009】上記半導体装置の製造方法では、半導体基板に形成した溝の内面および溝の開口側部を選択的に酸化して形成した内壁酸化膜が、半導体基板上に形成した酸化膜を除去する工程を行っても残る状態の膜厚に形成されていることから、半導体基板上に形成した、例えば

パッド酸化膜、犠牲酸化膜等を除去しても、溝開口端の素子分離絶縁膜が除去されて落ち込むことがなくなる。このように、素子分離絶縁膜と半導体基板の活性領域とに段差が生じないので、言い換えれば、溝の開口側部に形成された前記内壁酸化膜の一部を残した状態で半導体基板表面にゲート絶縁膜を形成するので、ゲート絶縁膜は半導体基板上にカバリッジ良く形成される。

【0010】

【発明の実施の形態】本発明に係わる実施の形態の一例を、図1の製造工程図によって説明する。

【0011】図1の(1)に示すように、半導体基板(例えばシリコン基板)11の表面にパッド酸化膜12を例えば8nm~10nmの厚さに形成する。さらにCVD法によって、シリコン窒化膜13を例えば200nmの厚さに形成する。

【0012】次いで、図1の(2)に示すように、通常のレジスト塗布技術によりレジスト膜を形成した後、リソグラフィ技術によりレジスト膜を加工してアクティブパターン(図示せず)を形成し、それをマスクにしてシリコン窒化膜13、パッド酸化膜12をエッチングする。その後、上記アクティブパターンを除去する。次に、シリコン窒化膜13をマスクにして半導体基板11を300nm~400nmの深さにエッチングし、溝14を形成する。

【0013】次いで、シリコン酸化膜を選択的にエッチングする例えばフッ酸を用いたウエットエッチングによって、上記パッド酸化膜12を例えば30nm程度、奥行き方向に除去して、アンダーカット15を形成する。

【0014】次に、図1の(3)に示すように、上記窒化シリコン膜13を酸化マスクに用いた選択的な酸化によって、溝14の内面および活性領域端部11Eとなる溝14の開口側部の半導体基板11に、内壁酸化膜16を例えば20nm~30nmの厚さに形成する。この酸化は、一例として、塩酸+ドライ酸化雰囲気、100℃~1150℃程度に熱処理温度で行う。これによって、活性領域端部11Eを丸みを有する形状にする。

【0015】次に、図1の(4)に示すように、高密度プラズマCVD法によって、溝14の内部を埋め込むようにシリコン窒化膜13上に素子分離絶縁膜17を、例えばシリコン酸化膜で形成する。この高密度プラズマCVD法は、スパッタリングしながら化学的気相成長を行うため、エッジ部分の堆積が抑制され、溝14の底部とアクティブ領域上となるシリコン窒化膜13上に堆積が行われる。その結果、エッジ部分のが傾斜した状態に堆積される。その後、図1の(5)に示すように、窒化シリコン膜13を研磨マスクに用いた化学的機械研磨を行って、上記素子分離絶縁膜17を研磨してその表面を平坦化する。この平坦化では、アクティブ領域上の素子分離絶縁膜17をエッチングにより除去してから行うことが好ましい。

【0016】次いで、熱リン酸を用いたウエットエッチングによって、上記シリコン窒化膜13を除去する。さらにフッ酸を用いたウエットエッチングによって、パッド酸化膜12をエッチング除去して、図1の(6)に示すように、半導体基板11を露出させる。このとき、フッ酸による除去量はパッド酸化膜12の膜厚に対して20%程度のマージンを見込んだ酸化膜の膜厚分とする。その後、図2の(7)に示すように、半導体基板11の表面に犠牲酸化膜18を形成する。そしてフッ酸によるウエットエッチングによって、犠牲酸化膜18をエッチング除去する。このとき、フッ酸による除去量は犠牲酸化膜18の膜厚に対して20%程度のマージンを見込んだ酸化膜の膜厚分とする。

【0017】その後、図1の(8)に示すように、半導体基板11の表面にゲート酸化膜19を形成する。このとき、活性領域端部11Eには、内壁酸化膜16が残っている状態とする。すなわち、パッド酸化膜12と犠牲酸化膜18とを除去するのに必要なフッ酸量は、活性領域端部11Eの内壁酸化膜16を除去するのに必要なフッ酸量よりも少なくする。その一例としては、パッド酸化膜12を10nmの厚さに形成し、犠牲酸化膜18を10nmの厚さに形成すると、パッド酸化膜12と犠牲酸化膜18とを除去するのに必要なフッ酸量は、20%のマージンを見込んで24nmの厚さの酸化膜を除去できる量となる。したがって、内壁酸化膜16の膜厚は、24nmよりも厚い、例えば30nmとする。

【0018】その後、既知の技術によって、ゲート、活性領域、層間絶縁膜、配線等を形成して、半導体装置が完成する。

【0019】上記半導体装置の製造方法では、半導体基板11に形成した溝14の内面および活性領域端部11Eとなる溝14の開口側部を選択的に酸化して形成した内壁酸化膜16が、半導体基板11上に形成したパッド酸化膜12や犠牲酸化膜18を除去する工程を行っても残る状態の膜厚に形成されていることから、上記パッド酸化膜12や犠牲酸化膜18の除去工程を行っても、溝14の開口端の素子分離絶縁膜16が除去されて落ち込むことはない。このように、素子分離絶縁膜16と半導体基板11の活性領域端部11Eとに段差を生じないので、ゲート絶縁膜19は半導体基板11上にカバリッジ良く形成されることになる。

【0020】また、パッド酸化膜12を奥行き方向に除去してアンダーカット15を形成したことから、溝14の内面を酸化して内壁酸化膜16を形成するための酸化を行った際に、アンダーカット15内の半導体基板11が容易に酸化されるため、溝14の開口側部を、溝14の内面に連続して容易に厚く酸化することが可能になる。また、上記説明した製造工程では、従来の製造工程と比較して、パッド酸化膜12をエッチングしてアンダーカット15を形成する工程を付加しただけであり、簡

便に、良好なる性能を有する、いわゆるトレンチ素子分離を形成することが可能になっている。

【0021】

【発明の効果】以上、説明したように本発明によれば、半導体基板に形成した溝の内面および溝の開口側部を選択的に酸化して形成した内壁酸化膜が、半導体基板上に形成した酸化膜を除去する工程を行っても残る状態の膜厚に形成されているので、半導体基板上に形成した酸化膜を除去しても、溝開口端の素子分離絶縁膜が除去されて落ち込むことがなくなる。このように、素子分離絶縁膜の端部が半導体基板よりも落ち込むことを抑制することができる。よって、半導体基板上にゲート絶縁膜は

カバリッジ良く形成することができ、それによって、トランジスタのKinkや狭チャネル効果が抑制され、電気的特性の安定した半導体装置を形成することができる。

【図面の簡単な説明】

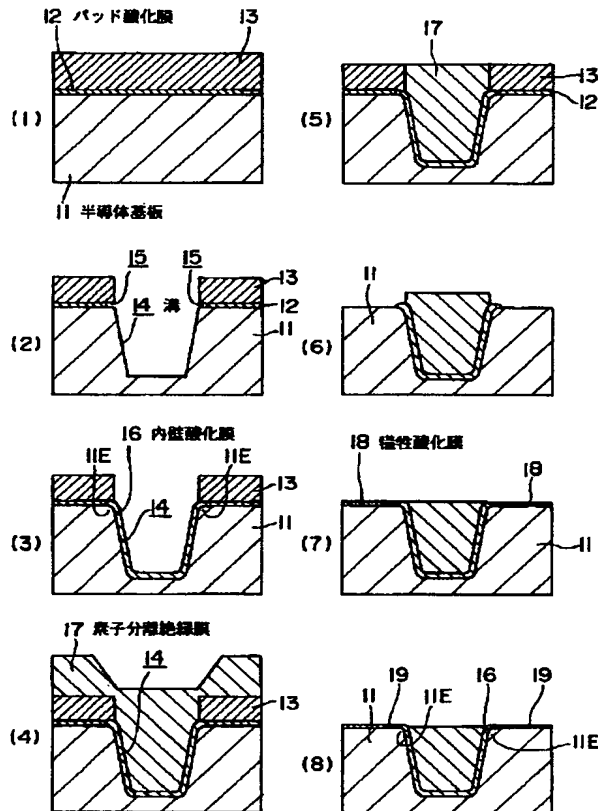
【図1】本発明に係わる実施の形態の一例を示す製造工程図である。

【図2】従来のSTI技術を示す製造工程図である。

【符号の説明】

11…半導体基板、12…パッド酸化膜、14…溝、16…内壁酸化膜、17…素子分離絶縁膜、18…犠牲酸化膜

【図1】



【図2】

